

氏名	ちょう かいげん 張 魁元
学位(専攻分野)	博士(工学)
学位記番号	博甲第786号
学位授与の日付	平成28年3月25日
学位授与の要件	学位規則第4条第1項該当
研究科・専攻	工芸科学研究科 設計工学専攻
学位論文題目	A Study to Evaluate and Project Soft Error Tolerance in Radiation-hardened Circuits Using Device and Physical Level Simulations (デバイスレベルと物理レベルシミュレーションを用いた対放射線回路のソフトエラー耐性の評価手法と予測手法に関する研究)
審査委員	(主査)教授 小林和淑 教授 吉本昌広 教授 門 勇一 准教授 廣木 彰

論文内容の要旨

近年、大規模集積回路システムの信頼性が注目されている。集積回路における信頼性を下げる要因には、製造の初期不良や、放射線による回路内のノイズの影響(ソフトエラー)などが挙げられる。それらの問題の対策として、デジタル回路において、様々な高信頼性構造が提案された。しかし、製造プロセスのスケーリングにより、デバイスのサイズが次第に小さくなっている。消費電力の低下、高周波数動作に伴って、VLSIの信頼性が著しく低下している。そのため、高信頼性回路の設計は深刻な問題となっている。本論文は主にデバイスと物理シミュレーションを用いて、放射線強化回路のソフトエラー耐性を予測し、評価する。様々な回路構造や、レイアウト構造、デバイス構造などのソフトエラー耐性を評価し、高精度のモンテカルロシミュレーション手法を提案する。

第二章ではデバイスシミュレーションと物理シミュレーションを用いたソフトエラー耐性の評価する方法を紹介する。重イオン粒子線衝突による電荷生成と収集メカニズムはTCADシミュレータを用いて分析し、中性子衝突による二次粒子の生成はモンテカルロ物理シミュレータPHITSを用いて分析する方法を説明する。

第三章では基板に寄生するバイポーラトランジスタをうまく利用すれば、MCUが防げ、耐ソフトエラー回路のエラー耐性が大きく向上することを説明する。デバイスシミュレーションの結果により、二つのラッチに異なる値を格納する冗長化フリップフロップは寄生バイポーラ効果により、MCUに強いことが判明した。それに対して同じ値を格納するとMCUに非常に弱くなる、寄生バイポーラトランジスタが高エネルギー粒子線の衝突によって“ON”状態になり、ラッチの非対称構造のため特定の値に遷移する。両ラッチが同一の値になるが、異なる初期値を格納する場合には、少なくとも一方のラッチが正しい値を格納しているため、冗長化フリップフロップの出力は変化しない。

第四章では65nmプロセス冗長化ラッチの複数ビットエラー率を定量的に評価した。ラッチ

間の距離を離すことにより、ラッチの間の電荷共有と寄生バイポーラ効果を抑え、ラッチの MCU 耐性を強化することができる。ウェルコンタクトをラッチに近づける場合では、基板電位が強く固定され、粒子線の衝突による基板電位の上昇が抑制される。寄生バイポーラ効果が弱くなって、MCU 率の低減に効果がある。冗長化ラッチ間の距離を離すことにより、MCU 対 SEU の比が指数関数的に減少する。

第五章では PHITS-TCAD シミュレーション手法を用いて、65nm プロセス FDSOI:SOTB と 28nm プロセス FD-SOI:UTBB の中性子起因ソフトエラー耐性を評価した。1V の電源電圧を 0.4V に下げることにより、ラッチが反転しやすくなり、ソフトエラー率が上昇する。SOTB 構造の BOX 層の厚さを増やすことで、基板電位の上昇は SOI 層に影響を与えず、寄生バイポーラ効果が弱くなり、ソフトエラー率が下がった。同様に、SOTB ラッチの基板にリバースバイアスを印加すると、基板電位の上昇が抑制され、寄生バイポーラ効果が弱くなる。その結果、リバースバイアスを増やすことによりソフトエラー率が下がる。PHITS-TCAD シミュレーションの結果は中性子加速試験と比較し、実測と一致していることを確認した。

最後に本論文をまとめる。

論文審査の結果の要旨

本学位申請論文は、デバイスレベルと物理レベルシミュレーションを用いた対放射線回路のソフトエラー耐性の評価手法と予測手法について論じており、以下の3点が明らかにされた。

1. 基板に寄生するバイポーラ効果を利用すれば、複数セルが同時に誤動作するエラーが防げ、耐ソフトエラー回路のエラー耐性が大きく向上することが説明された。デバイスシミュレーションの結果により、二つのラッチに異なる値を格納する冗長化フリップフロップはソフトエラーに強いことがあきらかにされた。工学的な観点から、この手法の有効性が十分に評価された。
2. 65nm プロセス冗長化ラッチの複数ビットエラー率を定量的に評価した。ラッチ間の距離を離すことにより、ラッチの間の電荷共有と寄生バイポーラ効果を抑え、ラッチのソフトエラー耐性を強化できることが示された。この結果の新規性と独創性が充分、評価に値する。回路設計への有用性も確認された。
3. デバイスレベルと物理レベルシミュレーションを合わせた評価手法を提案し、65nm プロセスと 28nm プロセス SOI 構造の中性子起因ソフトエラー耐性が評価された。提案シミュレーションの結果は中性子加速試験による実測値とほぼ一致していることが確認された。従来手法よりシミュレーション時間を短縮することもできる。この成果は半導体集積回路のソフトエラー耐性の評価と予測の観点から、有効性と新規性が十分に評価される。

以上より、本研究の成果は、半導体集積回路のソフトエラー耐性の評価手法と予測手法の新規性と独創性、回路設計への有用性を示したものであり、工学的観点からも十分に評価される。

本学位論文の基礎となった学術論文は下記の3件であり、2件は審査のある論文誌に掲載された学術論文で、1件は投稿中のものでありいずれも申請者が筆頭著者である。

[1] K. Zhang, J. Furuta, R. Yamamoto, K. Kobayashi, and H. Onodera, A Radiation-Hard Redundant Flip-Flop to Suppress Multiple Cell Upset by Utilizing the Parasitic Bipolar Effect, *IEICE TRANSACTIONS on Electronics*, Vol. E96-C, No. 4, pp. 511-517, Apr. 2013.

[2] K. Zhang, J. Furuta, K. Kobayashi, and H. Onodera, Dependence of Cell Distance and

Well-contact Density of MCU Rates by Device Simulations and Neutron Experiments in a 65-nm Bulk Process, *IEEE Trans. on Nuclear Science*, Vol. 61, No. 4, pp.1583-1589, Aug. 2014.

[3] K. Zhang, S. Umehara, J. Yamaguchi, J. Furuta, and K. Kobayashi, Analysis of Soft Error Rates in 65- and 28-nm FD-SOI Processes Depending on BOX Region Thickness and Body Bias by Monte-Carlo Based Simulations , *IEEE Trans. on Nuclear Science* (submitted)

以上の検討結果から、本論文の内容には十分な新規性と独創性および高い工学的価値があると認められ、本論文を博士論文として十分な内容を備えていると判定する。