

氏名	やぶうち みちたろう 藪内 美智太郎
学位(専攻分野)	博士(工学)
学位記番号	博甲第742号
学位授与の日付	平成27年3月25日
学位授与の要件	学位規則第4条第1項該当
研究科・専攻	工芸科学研究科 設計工学専攻
学位論文題目	Study of Design Methodology of ASIC and FPGA Considering Correlation between Process Variation and BTI-Induced Degradation (プロセスばらつきとBTIによる劣化を考慮したASIC及びFPGA 設計手法に関する研究)
審査委員	(主査)教授 小林和淑 教授 吉本昌広 教授 門 勇一 京都大学大学院情報学研究科教授 佐藤高史 准教授 廣木 彰

論文内容の要旨

本学位申請論文は、半導体集積回路のプロセスばらつきとBTI (Bias Temperature Instability)の相関を考慮した回路設計手法について論じている。論文は全5章から成り立っている。

第1章では、本研究の意義と背景が述べられている。微細プロセスで製造される半導体集積回路ではプロセスばらつきやBTIといった信頼性問題が顕在化しており、設計者は回路設計において信頼性を考慮してその劣化予測に応じた動作マージンを設定する必要があることが示されている。BTIについてReaction-Diffusion Model (R-D Model)とAtomistic Trap-Based Model (AT-B Model)およびそれらを組み合わせたモデルについての詳細が述べられている。プロセスばらつきとBTIの物理的な原因の関係について、半導体トランジスタの酸化膜に存在するトラップや電荷とフラットバンド電圧の関係から、初めて明らかにしている。ますます使用用途が拡大する半導体集積回路の性能要求に応えるために、効率的な設計手法が不可欠であることが示されている。

第2章では、半導体集積回路における経年劣化現象による遅延増加について回路解析の手法と結果が述べられている。R-D ModelとAT-B Modelという2つのBTIの解析モデルについて詳細が示されており、AT-B Modelについては酸化膜欠陥の特性を測定結果からモデル化している。BTIによる劣化を解析するための手法であるBTI-Aware Netlistが提案されており、長期間に渡る劣化予測が可能であることが解析的に示されている。リング型発振器やインバータ、FPGA (Field Programmable Gate Array)の接続構造における経年劣化特性が示されている。FPGAの接続構造におけるプリアップ機能を持ったトランジスタがBTIによる劣化を補償する働きをすることを、回路動作の観点から初めて説明している。これらの結果から、半導体集積回路においてBTI劣化による遅延増加や動作周波数の低下が起きることが示されており、その対策が必要であることを明らかにしている。

第3章では、65 nmバルクプロセスのFPGAおよび試作チップにおけるプロセスばらつきとBTIの測定結果が述べられている。FPGAにおいては書き換え可能な単位論理回路に、コンフィギュ

レーションを指定して発振回路を構成することで、特定の発振経路における発振周波数の測定結果のみを得られることを示している。FPGA および試作チップにおける初期発振周波数と周波数劣化を測定し、それらの結果からプロセスばらつきと BTI の特性を明らかにしている。

第 4 章では、プロセスばらつきと BTI における相関を考慮した回路設計手法について論じている。65 nm バルクプロセスの試作チップにおける測定結果から、同プロセスにおいてプロセスばらつきと BTI に相関があることが初めて示されている。この相関によれば、初期閾値電圧が低いグループにおいては平均値付近のグループよりも BTI による劣化が大きく、初期閾値電圧が高いグループにおいては平均値付近のグループよりも BTI による劣化が小さいことが明らかにされている。この相関を考慮することで、初期閾値電圧が高いグループにおける動作マージンを削減する回路設計手法が提案されている。従来の設計においては BTI による劣化を考慮した動作マージンはプロセスばらつきによらず一律で設定しており、性能を律速する初期閾値電圧が高いグループにおいて過剰な動作マージンを設定してしまっていたが、提案されている手法においてはプロセスばらつきに応じた動作マージンを設定することで、より効率的な設計が可能であることが示されている。回路解析によって、発振回路における発振周波数やフリップフロップにおけるセットアップ時間およびホールド時間における BTI 劣化を、提案手法では従来手法よりも小さく見積もることが示されている。

第 5 章では、各章で得られた結果をまとめ、本研究の結論を述べている。

論文審査の結果の要旨

本学位申請論文は、半導体集積回路における経年劣化現象やプロセスばらつきといった信頼性問題を効率的に補償する設計手法について論じており、以下の 3 点が明らかにされた。

1. 再構成可能集積回路における経年劣化現象を補償する手法が提案された。この手法は素子サイズと配線長を最適化することによって、再構成可能集積回路における経年劣化現象による遅延増加を削減する。回路解析によりこの手法による回路の高速化が定量的に示された。工学的な観点から、この手法の有効性が十分に評価される。
2. 半導体集積回路における経年劣化現象とプロセスばらつきの相関が、65 nm バルクプロセスの試作チップおよび再構成可能集積回路による測定結果から示された。経年劣化現象の物理モデルとプロセスばらつきの物理的な原因から、これらに相関についての物理的な説明が新たになされた。測定結果から経年劣化に関する成分を抽出する独創的な手法により、これらの相関が示された。この結果の新規性と独創性が十分に評価される。
3. 半導体集積回路における経年劣化現象とプロセスばらつきの相関を考慮した効率的な設計手法が新規に提案された。この設計手法は半導体集積回路の信頼性を損なうことなく最大の性能を発揮する回路の設計を可能にする。回路解析を利用した回路遅延および回路動作に対する検証により、この手法の有効性が示された。この成果は半導体集積回路設計の観点から、初めて経年劣化現象とプロセスばらつきについて考慮した設計手法であり、新規性と独創性が十分に評価される。

以上より、本研究の成果は、半導体集積回路の信頼性問題を効率的に補償する設計手法の新規性と独創性、回路設計への有用性を示したものであり、工学的観点からも十分に評価される。

本学位論文の基礎となった学術論文は下記の 2 件であり、そのいずれも審査のある論文誌に掲載された学術論文で、申請者が筆頭著者である。

[1] Michitarou Yabuuchi, Kazutoshi Kobayashi, “NBTI-Induced Delay Degradation Analysis of FPGA Routing Structures”, Vol. 5, pp. 143-149, IPSJ Transactions on System LSI Design Methodology (Aug. 2012)

[2] Michitarou YABUUCHI, Ryo KISHIDA, and Kazutoshi KOBAYASHI, “Correlations between BTI-Induced Degradations and Process Variations on ASICs and FPGAs”, VOL. E97-A, NO. 12, pp. 2367-2372, Special Section on VLSI Design and CAD Algorithms, IEICE TEANSACTIONS on FUNDAMENTALS of Electronics, Communications and Computer Science (DECEMBER 2014)

以上の検討結果から、本論文の内容には十分な新規性と独創性および高い工学的価値があると認められ、本論文を博士論文として十分な内容を備えていると判定する。