

氏名	きしだ りょう <b>岸田 亮</b>
学位(専攻分野)	博士(工学)
学位記番号	博甲第872号
学位授与の日付	平成30年3月26日
学位授与の要件	学位規則第4条第1項該当
研究科・専攻	工芸科学研究科 電子システム工学専攻
学位論文題目	<b>ゲート酸化膜欠陥に起因する集積回路の信頼性と実測評価</b>
審査委員	(主査)教授 小林和淑 教授 門 勇一 教授 吉本昌広 ルネサスエレクトロニクス株式会社 シニアスペシャリスト 熊代成孝 京都大学大学院工学研究科航空宇宙工学専攻 教授 江利口浩二

### 論文内容の要旨

我々が普段から使用している電化製品のほぼ全てに集積回路が使われている。電化製品の性能向上には集積回路の高性能化が必要不可欠である。集積回路を構成している素子は半導体のトランジスタであり、トランジスタの微細化により集積回路の性能が向上してきた。微細化による性能向上の例として、単位面積あたりに搭載できるトランジスタ数が増加する高集積化、1つ1つの素子の消費する電力が少なくなる低消費電力化、CPUの動作速度向上などが挙げられる。微細化は年を追うごとに進んでおり、集積回路が発明された1971年にはトランジスタのゲート長は10 $\mu$ mから、2017年には10nmと3桁小さくなっており、面積では6桁小さくなっている。微細化が驚異的な速度で進んできたのは、微細化すればするほど性能向上とコスト削減という相乗効果的なメリットが得られるためである。しかし、微細化によるデメリットも存在する。その1つがBias Temperature Instability (BTI) とよばれる経年劣化である。BTIが微細化により顕在化している主な理由は、ゲート酸化膜の薄膜化と電圧スケーリングが微細化に追いついていないために、ゲートの実効電界が大きくなっているためである。開発された当初の酸化膜電界が5 $\times$ 10<sup>5</sup> V/cmだったのに対して、30年後には6 $\times$ 10<sup>6</sup> V/cmと1桁増加している。BTIの影響は酸化膜電界に比例するため、近年では無視できない信頼性問題となっている。BTIは時間経過に伴ってトランジスタ特性が劣化する現象であり、ゲート酸化膜にできる欠陥のキャリア捕獲によって発生すると考えられている。BTIにより回路動作中に誤動作がおこるため、自動車など人命を預かる機器で故障が起こると致命的な問題となる。BTIは経年劣化現象であるため、長期間の測定と劣化見積もりが必要である。単体トランジスタの測定では1つ1つの素子を評価できるが、多くの素子を測定するのが難しく、統計的評価に向いていない。リングオシレータ (Ring Oscillator, RO)とカウンタをチップに搭載して集積化すると、複数同時に測定することができる。本論文ではROの発振周波数を実測することにより、集積回路におけるBTIの評価を行う。BTI対策として、NANDによるリングオシレータ回路を提案する。PMOSで起こるNBTIはNMOSで起こるPBTIよりも影響が大きく、NANDによるリングオシレータではNBTIが発生しないため、劣化

を抑制できる。回路を試作し、実測した結果、ストレスを与えて時間経過しても、劣化率は増加せず、BTIを抑制できることを確認した。逆方向基板バイアスによるBTI対策も提案する。回路使用時において、ストレスを与える際に、逆方向基板バイアスを印加することで、BTIによる劣化を抑制できる。実測結果から、逆方向基板バイアスを1.0 V印加することで、劣化率を77%抑制できることを明らかにした。BTIによるリングオシレータの周波数劣化量を回路パラメータとして一般的によく使われるしきい値電圧変動量に変換する手法を提案する。電流スターブ型リングオシレータを用いることにより、NMOSとPMOSの影響を分離し、個々のトランジスタのBTIによる劣化を評価可能とした。周波数劣化量をしきい値電圧に変換した結果、先行研究と同様に近似線のフィッティングパラメータが1/6~1/4に収まり、NMOSよりもPMOSの方が7倍BTIによる劣化の影響が出ることを確認した。

BTIの原因として考えられているゲート酸化膜の欠陥は主に製造時に作られる。欠陥が作られる原因の1つに配線加工時のアンテナ効果によるアンテナダメージ(Plasma Induced Damage, PID)がある。配線加工時に、金属配線に蓄積した電荷がMOSFETのゲート部分に接続され、ゲート酸化膜がダメージを受ける。このダメージをPIDと呼ぶ。PIDによってゲート酸化膜に欠陥ができ、ゲートリーク電流の増加といった特性劣化が起こる。最悪の場合ゲート酸化膜が破壊されて動作しなくなる。PIDもBTIと同様に信頼性を低下させる問題であるため、対策と実測による評価が重要である。PIDを受ける回路と受けない回路を試作し、その差を実測することで、PIDによる劣化量を評価する。実測により、配線面積比が設計ルールの上限值までであれば、PIDによってリングオシレータの発振周波数は変動しないが、上限値を超えて配線面積比が大きくなるにしたがって発振周波数が減少し、配線面積比を上限値の2倍にすると発振周波数が2.2%減少した。PIDとBTIの相関性についても評価し、配線面積比が上限値の100倍と大きくルールを破るときに、PIDによってBTIによる劣化が加速されることを確認した。

ランダムテレグラフノイズ(Random Telegraph Noise, RTN)もゲート酸化膜欠陥に起因する信頼性問題である。RTNは動的にランダムなしきい値電圧変動である。このしきい値電圧変動により、回路の誤動作が発生する。RTNの原因はBTIと同様にゲート酸化膜のキャリア捕獲と放出である。リングオシレータにおけるRTNの実測評価と、回路シミュレーションによるモデル化を行う。集積回路においてRTNのNMOSとPMOSの影響を分離するために、抵抗を用いたリングオシレータを試作した。RTNの実測により、NMOSにおけるRTNの影響はPMOSよりも大きくなることを確認した。RTNのモデル化にあたり、物理現象に基づいて、RTNの原因とされている欠陥の捕獲と放出を組み込んだモデルとする。Verilog-A内にモデル式を記述し、回路シミュレーションに組み込んで評価する。シミュレーション結果から、時間経過に伴い、電流量が動的にランダムに変動し、RTNのモデル化を行えたことを確認した。

## 論文審査の結果の要旨

本学位申請論文は、半導体集積回路におけるゲート酸化膜中欠陥に起因するBTI(Bias Temperature Instability)、アンテナダメージ、RTN(Random Telegraph Noise)の信頼性問題を回路レベルで評価している。BTIは経年劣化現象の1つであり、時間経過に伴い集積回路素子の特性が劣化するため、対策が必須である。アンテナダメージは製造時におけるプラズマによる損

傷であり、配線加工工程では避けられない問題である。RTN は特性が動的にランダムに変動する現象であり、モデル化と実測が重要である。これらの信頼性問題の評価をするために、リングオシレータを搭載したチップを試作し、実測することで以下の点が明らかにされた。

NBTI の方が PBTI よりも影響が大きいことを利用した設計時の対策を提案し、NAND のみのリングオシレータにより対策することで、時間経過によって発振周波数が劣化しないことを確認した。動作時の BTI 対策として発振停止時に逆方向基板バイアスを印加することを提案し、逆方向基板バイアスを 1 V 印加したときの発振周波数劣化率は 0 V のときと比べて約 77%減少したことを実測により確認した。BTI 対策が可能であるこれらの手法の有効性が十分に評価される。

アンテナ比によるアンテナダメージの影響を検証し、設計ルール上限値以下では、アンテナ比によらず発振周波数は一定であったが、上限値を超えると、アンテナ比増加に伴って発振周波数が減少した。設計ルールの上限值であるアンテナ比 500 と比べて、アンテナ比 1,000 での発振周波数は 2.2%減少した。しきい値電圧の劣化傾向は通常のパルクと SOI で同じであるため、SOI でも同様の設計余裕を考慮するべきであるが、設計余裕をパルクと SOI で変える必要はないことを明らかにしている。アンテナ層によるアンテナダメージの影響も評価し、PMOS では、上層アンテナほど初期周波数が減少するが、NMOS ではアンテナダメージにより発振周波数が増加し、上層アンテナほど減少することを実測により明らかにしている。CMOS 構造において、アンテナダメージによる周波数変動は、下層アンテナでは PMOS と NMOS で相殺されるが、上層アンテナでは回路性能が悪化するため、上層アンテナほど設計時にアンテナダメージの影響を考慮する必要がある。これらの結果の新規性と独創性が十分に評価される。

RTN を再現できるモデルの構築と測定回路の提案を行った。ゲート酸化膜欠陥のキャリア捕獲と放出による物理現象に基づいたモデルを構築し、そのモデルを用いて回路シミュレーションを行った。リングオシレータにおいて発振周波数の時間変化をシミュレーションした結果、発振周波数が時間にランダムに変動することを確認した。構築した RTN モデルは回路シミュレーションに適用可能であることが示され、モデルおよびその手法の有効性が十分に評価される。抵抗素子を用いた NMOS のみ、または PMOS のみのリングオシレータを設計し、それぞれのみの RTN を評価可能な測定回路を提案した。NMOS の方が約 1.5 倍 RTN の影響が大きく表れることを実測で確認した。これらの新規性と独創性が十分に評価される。

以上より、本研究の成果は、集積回路のゲート酸化膜欠陥に起因する信頼性問題を補償する設計手法の新規性と独創性、回路設計への有用性を示したものであり、工学的観点からも十分に評価される。

本学位論文の基礎となった学術論文は下記の 3 件であり、そのいずれも審査のある論文誌に掲載される学術論文である。

- [1] Ryo Kishida, Azusa Oshima, Michitarou Yabuuchi, and Kazutoshi Kobayashi, "Initial and long-term frequency degradation of ring oscillators caused by plasma-induced damage in 65 nm bulk and fully depleted silicon-on-insulator processes", Japanese Journal of Applied Physics 54, 04DC19-1-5 (2015).
- [2] Takuya KOMAWAKI, Michitarou YABUUCHI, Ryo KISHIDA, Jun FURUTA, Takashi MATSUMOTO, and Kazutoshi KOBAYASHI, "Replication of Random Telegraph Noise by Using a Physical-Based Verilog-AMS Model", The Institute of Electronics, Information and

Communication Engineers TRANS. FUNDAMENTALS, VOL.E-100A, NO. 12, pp. 2758-2763, DECEMBER 2017.

- [3] Ryo Kishida, Jun Furuta, and Kazutoshi Kobayashi, "Evaluation of plasma-induced damage and bias temperature instability depending on type of antenna layer using current-starved ring oscillators", Japanese Journal of Applied Physics, (2018) to be published.

それぞれの信頼性問題について主に基礎となった国際および国内会議での発表論文は以下の通りである.

BTI :

- [4] 岸田亮, 大島梓, 小林和淑, 「65 nm プロセスにおけるアンテナダメージによる経年劣化の測定と評価」, 電子情報通信学会技術報告 (集積回路設計), ICD2014-106, CPSY2014-118, pp. 123-128, 2014/12, 東京.

- [5] R. Kishida, and K. Kobayashi, "Degradation Caused by Negative Bias Temperature Instability Depending on Body Bias on NMOS or PMOS in 65 nm Bulk and Thin-BOX FDSOI Processes", Electron Devices Technology and Manufacturing (EDTM), pp. 122-123, 2017/03, Toyama, Japan.

- [6] 岸田亮, 古田潤, 小林和淑, 「電流スターブ型発振器を用いた周波数変動のしきい値電圧変換手法」, DA シンポジウム, pp. 198-203, 2017/09, 加賀.

アンテナダメージ :

- [7] 岸田亮, 小林和淑, 「65nm バルクおよび SOTB プロセスでのアンテナ比による製造時劣化の測定と評価」, DA シンポジウム, pp. 101-106, 2015/08, 加賀.

- [8] R. Kishida, J. Furuta and K. Kobayashi, "Plasma Induced Damage Depending on Antenna Layers in Ring Oscillators", International Conference on Solid State Devices and Materials (SSDM), pp. 209-210, 2017/9, Sendai, Japan.

- [9] R. Kishida, A. Oshima, and K. Kobayashi, "Negative Bias Temperature Instability Caused by Plasma Induced Damage in 65 nm Bulk and Silicon On Thin BOX (SOTB) Processes", IEEE International Reliability Physics Symposium (IRPS), pp. CA.2.1-CA.2.5, 2015/04, Monterey, CA, USA.

RTN :

- [10] 駒脇拓弥, 藪内美智太郎, 岸田亮, 古田潤, 小林和淑, 「Verilog-A を用いたランダムテレグラフノイズ発生用モジュールを適用したリングオシレータ回路における過渡解析」, 回路とシステムワークショップ, pp. 226-231, 2017/06, 北九州.

- [11] 岸田亮, 古田潤, 小林和淑, 「リングオシレータのランダムテレグラフノイズによる周波数変動自動測定回路」, VDEC デザイナーズフォーラム, 2017/9, 筑紫野市.

以上の検討結果から, 本論文の内容には十分な新規性と独創性および高い工学的価値があると認められ, 本論文を博士論文として十分な内容を備えていると判定する.